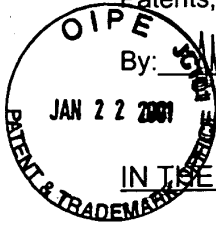


CP 2818
Docket No.: GR 98 P 1507 P

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.



By: Markus Nolf

Date: JAN 16, 2001 3

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : Andreas Rusch et al.
Applic. No. : 09/685,361
Filed : October 10, 2000
Title : Semiconductor Memory Device and Method for Fabricating
Art Unit : 2818

RECEIVED
FEB - 1 2001
TECHNOLOGY CENTER 2800

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 198 15 874.2, filed April 8, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolf
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: January 16, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101
/li

RECEIVED
JAN 25 2001
JTC 2800 MAIL ROOM

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 198 15 874.2

Anmeldetag: 8. April 1998

Anmelder/Inhaber: Siemens AG, München/DE

Bezeichnung: Halbleiter-Speichervorrichtung und Verfahren
zu deren Herstellung

IPC: H 01 L 21/8246

RECEIVED
JAN 25 2001
JC 2800 HALL ROOM

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. Dezember 2000
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

CERTIFIED COPY OF
PRIORITY DOCUMENT

RECEIVED
FEB -1 2001
TECHNOLOGY CENTER 2800



Zusammenfassung

Halbleiter-Speichervorrichtung und Verfahren zu deren Herstellung

- 5, Die vorliegende Erfindung schafft eine Halbleiter-Speicher-
vorrichtung mit einer Matrix von in einem Substrat (10) ange-
ordneten Halbleiterspeicherelementen, welche jeweils aufwei-
sen: einen Substratbereich (10) mit einem ersten Leitungstyp;
10 einen auf dem Substratbereich (10) vorgesehenen Isolier-
schichtbereich (20); einen im Isolierschichtbereich (20) vor-
gesehenen Kontaktlochbereich (25); einen im Substratbereich
(10) unterhalb des Kontaktlochbereichs (25) vorgesehenen Bit-
festlegungsbereich (30) und einen im Kontaktlochbereich (25)
15 vorgesehenen, in elektrischem Kontakt mit dem Bitfestlegungs-
bereich (30) stehenden Kontaktstöpselbereich (40). Der Bit-
festlegungsbereich (30) ist derart gestaltet, daß er den Kon-
taktwiderstand zwischen dem Substratbereich (10) und dem Kon-
taktstöpselbereich (40) entsprechend dem in dem jeweiligen
20 Halbleiterspeicherelement zu speichernden Bit festlegt.

(Fig. 2)

1/1

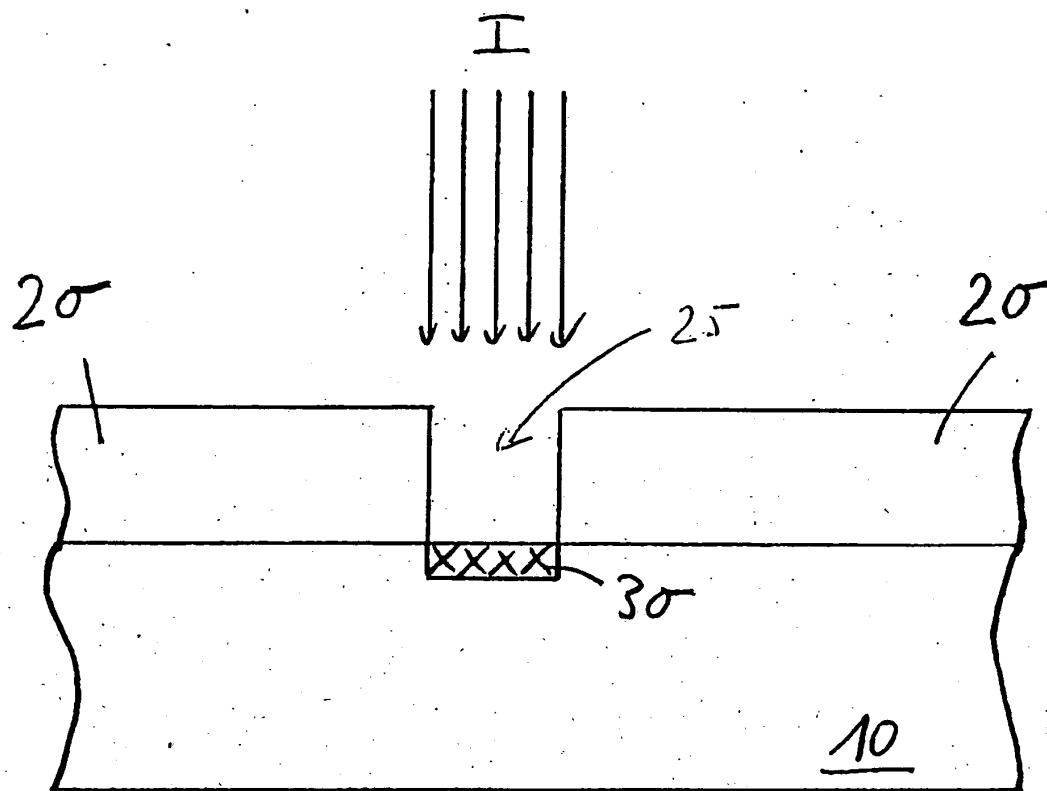


Fig. 1

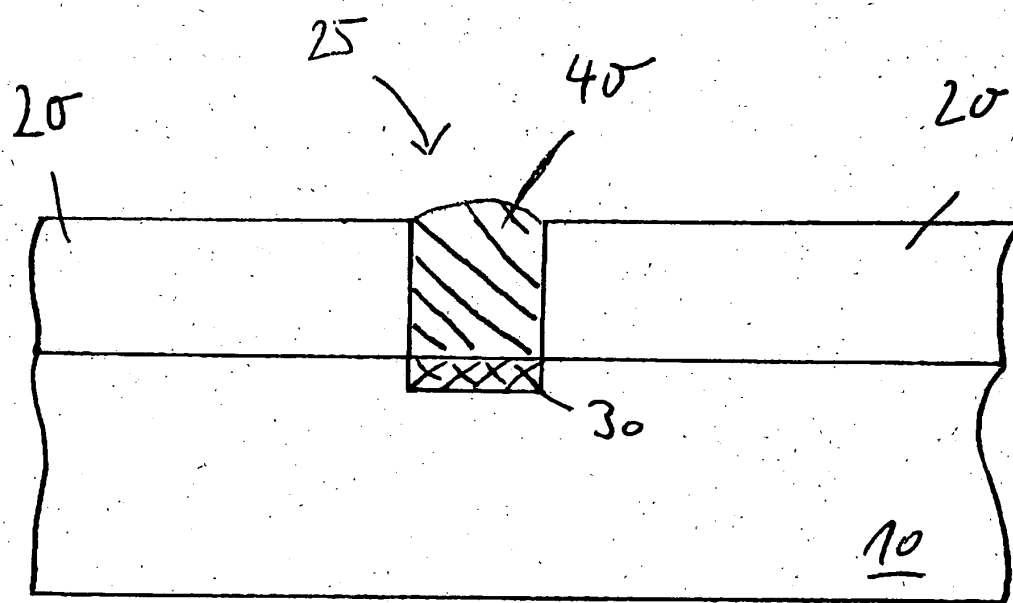


Fig. 2

Beschreibung

Halbleiter-Speichervorrichtung und Verfahren zu deren Herstellung

5

Die vorliegende Erfindung betrifft eine Halbleiter-Speichervorrichtung und ein Verfahren zu deren Herstellung.

10

Obwohl prinzipiell auf beliebige Halbleiter-Speichervorrichtungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf ROM-Speicher bzw. Nurlesespeicher in Siliziumtechnologie erläutert.

15

Bekannte ROM-Halbleiter-Speichervorrichtungen dieser Art verwenden horizontale oder vertikale MOSFETs als Halbleiterspeicherzellen. Eine gängige Methode zur Programmierung solcher ROM-Speicher besteht darin, die Einsatzspannungen der im ROM-Zellenfeld verwendeten MOSFETs entsprechend des gewünschten ROM-Inhalts durch geeignet maskierte vertikale Kanalimplantationen zu modifizieren. Mit anderen Worten schafft man mindestens zwei Typen von MOSFETs, einen ersten Typ mit einer ersten Einsatzspannung (z.B. ohne Kanalimplantation) und einen zweiten Typ mit einer zweiten Einsatzspannung (z.B. mit Kanalimplantation). Dem einen Typ wird die logische „1“ zugeordnet und dem anderen Typ die logische „0“. Derart programmiert kann jeder Transistor ein einziges Bit speichern.

25

Ein ständiges Ziel bei der Speicherentwicklung ist die Erhöhung der Speicherdichte, d.h. der Anzahl von Bits, welche pro Flächeneinheit bzw. Volumeneinheit speicherbar sind. Ein Ansatz in dieser Richtung ist die stetige Verkleinerung der beteiligten Strukturen, beispielsweise durch ROM-Speicher mit gefalteten Grabenstrukturen.

30

35

Ein weiterer Ansatz besteht darin, daß die Halbleiterspeicherelemente derart zu modifizieren, daß sie jeweils mehr als ein Bit speichern können. Dies läßt sich beispielsweise da-

durch erreichen, daß man mehr als einen Typ von Kanalimplantation durchführt, so daß für jede Kanalimplantation ein Bit pro Speicherzelle speicherbar ist.

- 5 Beispielsweise können mit vier verschiedenen Kanalimplantationen vier verschiedene Einsatzspannungen, also 2 Bits pro Speicherzelle, erzeugt werden. Mit einer geeigneten Ausleseschaltung können die verschiedenen Einsatzspannungen unterschieden werden.

10

Die Aufgabe der vorliegenden Erfindung, eine vereinfachte Halbleiter-Speichervorrichtung, deren Halbleiterspeicherelemente mehr als ein Bit speichern können, und ein Verfahren zu deren Herstellung anzugeben.

15

Erfindungsgemäß wird diese Aufgabe durch die in Anspruch 1 angegebene Halbleiter-Speichervorrichtung und das in Anspruch 8 angegebene Herstellungsverfahren gelöst.

20

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß der jeweilige Bitfestlegungsbereich derart gestaltet ist, daß er den Kontaktwiderstand zwischen dem Substratbereich und dem Kontaktstöpselbereich entsprechend dem in dem jeweiligen Halbleiterspeicherelement zu speichernden Bit festlegt. Mit anderen Worten wird die Kontaktlochimplantationsmaske zur Programmierung verwendet, wobei die Kontaktlöcher mit einem unterschiedlichen Kontaktwiderstand versehen werden. Die verschiedenen Widerstände können dann beim Auslesen durch eine geeignete Auswerteschaltung bewertet werden.

30

- Die erfindungsgemäße Halbleiter-Speichervorrichtung und das erfindungsgemäße Verfahren zu deren Herstellung weisen gegenüber den bekannten Lösungsansätzen u.a. folgende Vorteile auf. Es kann mit nur zwei Implantationen eine dreiwertige Logik pro Speicherzelle realisiert werden. Das bedeutet, daß z.B. in zwei Zellen drei Bits gespeichert werden können. Dies erspart eine Maskenebene im Vergleich zum oben beschriebenen
- 35

bei MOSFETs üblichen Verfahren. Die Programmierung findet erst spät im Prozeß nach der Kontaktlochätzung statt, was eine günstige Turn-around-time ermöglicht. Bei sicherheitsrelevanten Anwendungen, wie z.B. im Chipkartenbereich ist ein nachträgliches Auslesen durch Rückpräparation nur schwer möglich.

Schließlich sind keine zusätzlichen Schritte im Prozeßablauf notwendig, denn viele bekannte Gesamtprozesse weisen Kontaktlochimplantationen auf, um den Widerstand der Kontakte auf Diffusionsgebiet zu senken, und zwar insbesondere dann, wenn kein Titansilizid oder ähnliches verwendet wird. Das macht die erfindungsgemäße Halbleiter-Speichervorrichtung und das erfindungsgemäße Verfahren zu deren Herstellung sehr kostengünstig.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen der in Anspruch 1 angegebenen Halbleiter-Speichervorrichtung bzw. des in Anspruch 8 angegebenen Herstellungsverfahrens.

Gemäß einer bevorzugten Weiterbildung ist der Bitfestlegungsbereich ein an der Oberfläche des Substratbereichs gelegener Implantationsbereich zur Einstellung des Kontaktwiderstandes zwischen dem Substratbereich und dem Kontaktstößelbereich. So läßt sich der Kontaktwiderstand genau einstellen.

Gemäß einer weiteren bevorzugten Weiterbildung ist der Bitfestlegungsbereich ein Implantationsbereich von einem Dotierstoff des ersten Leitungstyps. Dies entspricht einer Aufdotierung des Oberflächenbereichs des Substrats, also einer Erniedrigung des Kontaktwiderstandes.

Gemäß einer weiteren bevorzugten Weiterbildung ist der Bitfestlegungsbereich ein Implantationsbereich von einem Dotierstoff eines zweiten Leitungstyps. Dies entspricht einer Ge-

gendotierung des Oberflächenbereichs des Substrats, also einer Erhöhung des Kontaktwiderstandes.

Gemäß einer weiteren bevorzugten Weiterbildung entspricht der Bitfestlegungsbereich der Halbleiterspeicherelemente dem Substratbereich. So läßt sich ein erster Zustand entsprechend einem ersten Bit ohne Zusatzaufwand etablieren.

Gemäß einer weiteren bevorzugten Weiterbildung weist der Substratbereich einen außerhalb des Bitfestlegungsbereichs gelegenen weiteren Kontaktbereich auf. Dieser weitere Kontaktbereich bildet einen Anschluß für eine einfache Auswerteschaltung, welche zusätzlich mit dem Kontaktstößelbereich verbunden wird, um so den elektrischen Widerstand des Halbleiterspeicherelements zu ermitteln.

Gemäß einer weiteren bevorzugten Weiterbildung ist eine Auswerteschaltungseinrichtung zum Auswerten des Kontaktwiderstandes der jeweiligen Halbleiterspeicherelemente vorgesehen. Diese Auswerteschaltung kann, wie oben angedeutet, eine Widerstandsmeßeinrichtung aufweisen, kann aber auch kapazitiv oder induktiv arbeiten.

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

Fig. 1 eine schematische Darstellung eines Herstellungsschritts eines Halbleiterspeicherelements der Halbleiter-Speichervorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung; und

Fig. 2 eine schematische Darstellung eines weiteren Herstellungsschritts des Halbleiterspeicherelements

der Halbleiter-Speichervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder
5 funktionsgleiche Bestandteile.

Fig. 1 ist eine schematische Darstellung eines Herstellungsschritts eines Halbleiterspeicherelements der Halbleiter-Speichervorrichtung gemäß einer ersten Ausführungsform der
10 vorliegenden Erfindung.

In Fig. 1 bezeichnen 10 ein Substrat, 20 eine Isolierschicht, 25 ein Kontaktloch, 30 einen Bitfestlegungsbereich, 40 einen Kontaktstößelbereich und I eine Implantation.

15

Das Verfahren zum Herstellen der erfindungsgemäßen Halbleiter-Speichervorrichtung gemäß dieser ersten Ausführungsform verläuft folgendermaßen.

20 Das Substrat 10 mit dem ersten Leitungstyp (z.B. n-Silizium) wird bereitgestellt. Dabei soll der Ausdruck Substrat im allgemeinen Sinne verstanden werden, muß also nicht der physikalische Träger sein, sondern kann auch eine darauf befindliche Epischicht, ein darin vorgesehener Diffusionsbereich o.ä.
25 sein.

Als nächstes erfolgt das Vorsehen der Isolierschicht 20 auf dem Substrat 10, in der eine Matrix von Kontaktlöchern 25 zum Substrat 10 entsprechend jeweiligen Halbleiterspeicherelementen zu bilden ist.
30

Zur Programmierung der so definierten Halbleiterspeicherelemente wird nach der Bildung der jeweiligen Kontaktlöcher 25 der unterhalb der Kontaktlöcher 25 befindliche Oberflächenbereichs des Substrats 10 mit einem jeweiligen Kontaktwiderstand entsprechend dem in dem jeweiligen Halbleiterspeicher-
35

element zu speichernden Bit als Bitfestlegungsbereich 30 des betreffenden Halbleiterspeicherelements versehen.

Dies geschieht im vorliegenden Beispiel folgendermaßen.

5

Alle Kontaktlöcher 25 werden photolithographisch definiert und freigeätzt. Dann erfolgt das Durchführen der ersten Implantation I in diese erste Gruppe von Kontaktlöchern 25 mit einem Dotierstoff des ersten Leitungstyps n.

10

Dann erfolgt das Durchführen einer zweiten Implantation mit einem Dotierstoff des zweiten Leitungstyps p.

15

Die dritte Gruppe von Kontaktlöchern 25 bleibt während der beiden Implantationen abgedeckt, erhält also keine Implantation.

20

Es gibt also folgende Halbleiterspeicherzellen mit wachsendem Kontaktwiderstand: Kontaktimplantation wie darunterliegendes Substrat (z.B. wie Diffusionsimplantation), keine Implantation und Kontaktimplantation entgegengesetzt zum darunterliegenden Substrat, wobei Fig. 1 nur den ersten Fall zeigt.

25

So lassen sich pro zwei Speicherzellen drei Bits programmieren. Denkbar ist auch eine Anwendung in einer dreiwertigen Logikschaltungsvorrichtung (ternäres System).

30

Fig. 2 ist eine schematische Darstellung eines weiteren Herstellungsschritts des Halbleiterspeicherelements der Halbleiter-Speichervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung.

35

In Fig. 2 bezeichnet zusätzlich zu den bereits eingeführten Bezugszeichen 40 einen Kontaktstöpsel.

Nach Programmierung der jeweiligen Halbleiterspeicherelemente werden Kontaktstöpsel 40 in den Kontaktlöchern 25, die in

elektrischem Kontakt mit dem Bitfestlegungsbereich 30 stehen, vorgesehen.

5 Zweckmäßigerweise weist der Substratbereich 10 eine streifen-
förmige Leiterstreifen-Struktur auf, z.B. Polysilizium- oder
Diffusionstreifen, wobei diese Streifen jeweils den zweiten
Anschluß der Speicherzellen auf der Substratoberseite bilden,
der neben dem jeweiligen Kontaktstöpsel 40 einen Anschluß für
eine Auswerteschaltung mit einer Widerstandsmeßeinrichtung
10 bildet.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzug-
ter Ausführungsbeispiele beschrieben wurde, ist sie darauf
nicht beschränkt, sondern auf vielfältige Art und Weise modi-
15 fizierbar.

Insbesondere können weitere Implantationen ausgeführt werden,
um Halbleiterspeicherelemente zu schaffen, welche noch mehr
Logikwerte speichern können. So ermöglicht die vorliegende
20 Erfindung die Herstellung eines kostengünstigen Multi-Level-
ROMs durch Anwendung der ohnehin vorhandenen Kontaktlochim-
plantation(en) zur Programmierung.

Patentansprüche

1. Halbleiter-Speichervorrichtung mit einer Matrix von in
einem Substrat (10) angeordneten Halbleiterspeicherelementen,
5 welche jeweils aufweisen:
einen Substratbereich (10) mit einem ersten Leitungstyp;
einen auf dem Substratbereich (10) vorgesehenen Isolier-
schichtbereich (20);
einen im Isolierschichtbereich (20) vorgesehenen Kontaktloch-
10 bereich (25);
einen im Substratbereich (10) unterhalb des Kontaktlochbe-
reichs (25) vorgesehenen Bitfestlegungsbereich (30); und
einen im Kontaktlochbereich (25) vorgesehenen, in elektri-
ischem Kontakt mit dem Bitfestlegungsbereich (30) stehenden
15 Kontaktstöpselbereich (40);
wobei der Bitfestlegungsbereich (30) derart gestaltet ist,
daß er den Kontaktwiderstand zwischen dem Substratbereich
(10) und dem Kontaktstöpselbereich (40) entsprechend dem in
dem jeweiligen Halbleiterspeicherelement zu speichernden Bit
20 festlegt.
2. Halbleiter-Speichervorrichtung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t , daß der Bit-
festlegungsbereich (30) ein an der Oberfläche des Substratbe-
25 reichs (10) gelegener Implantationsbereich zur Einstellung
des Kontaktwiderstandes zwischen dem Substratbereich (10) und
dem Kontaktstöpselbereich (40) ist.
3. Halbleiter-Speichervorrichtung nach Anspruch 2,
30 d a d u r c h g e k e n n z e i c h n e t , daß der Bit-
festlegungsbereich (30) ein Implantationsbereich von einem
Dotierstoff des ersten Leitungstyps ist.
4. Halbleiter-Speichervorrichtung nach Anspruch 2 oder 3,
35 d a d u r c h g e k e n n z e i c h n e t , daß der Bit-
festlegungsbereich (30) ein Implantationsbereich von einem
Dotierstoff eines zweiten Leitungstyps ist.

5. Halbleiter-Speichervorrichtung nach einem der vorhergehenden Ansprüche,

5 d a d u r c h g e k e n n z e i c h n e t , daß der Bitfestlegungsbereich (30) der Halbleiterspeicherelemente dem Substratbereich (10) entspricht.

6. Halbleiter-Speichervorrichtung nach einem der vorhergehenden Ansprüche,

10 d a d u r c h g e k e n n z e i c h n e t , daß der Substratbereich (10) einen außerhalb des Bitfestlegungsbereichs (30) gelegenen weiteren Kontaktbereich aufweist.

7. Halbleiter-Speichervorrichtung nach einem der vorhergehenden Ansprüche,

15 g e k e n n z e i c h n e t durch eine Auswerteschaltungseinrichtung zum Auswerten des Kontaktwiderstandes der jeweiligen Halbleiterspeicherelemente.

20 8. Verfahren zum Herstellen einer Halbleiter-Speicher-vorrichtung, g e k e n n z e i c h n e t durch die Schritte:

a) Bereitstellen eines Substrats (10) mit einem ersten Leitungstyp;

b) Vorsehen einer Isolierschicht (20) auf dem Substrat (10);

25 c) Vorsehen einer Matrix von Kontaktlöchern (25) zum Substrat (10) in der Isolierschicht (20) entsprechend jeweiligen Halbleiterspeicherelementen;

d) Vorsehen des unterhalb der jeweiligen Kontaktlöcher (25) befindlichen Oberflächenbereichs des Substrats (10) mit
30 einem jeweiligen Kontaktwiderstand entsprechend dem in dem jeweiligen Halbleiterspeicherelement zu speichernden Bit als Bitfestlegungsbereich (30) des betreffenden Halbleiterspeicherelements; und

35 e) Vorsehen von Kontaktstüpseln (40) in den Kontaktlöchern (25), die in elektrischem Kontakt mit dem Bitfestlegungsbereich (30) stehen.

10

9. Verfahren nach Anspruch 8,

g e k e n n z e i c h n e t durch folgende Schritte:

Bilden einer ersten Gruppe von Kontaktlöchern (25);

Durchführen einer ersten Implantation in die erste Gruppe von

5 Kontaktlöchern (25);

Bilden einer zweiten Gruppe von Kontaktlöchern (25);

Durchführen einer zweiten Implantation in die erste Gruppe
von Kontaktlöchern (25); und

Bilden einer dritten Gruppe von Konatktlöchern (25).

10

1/1

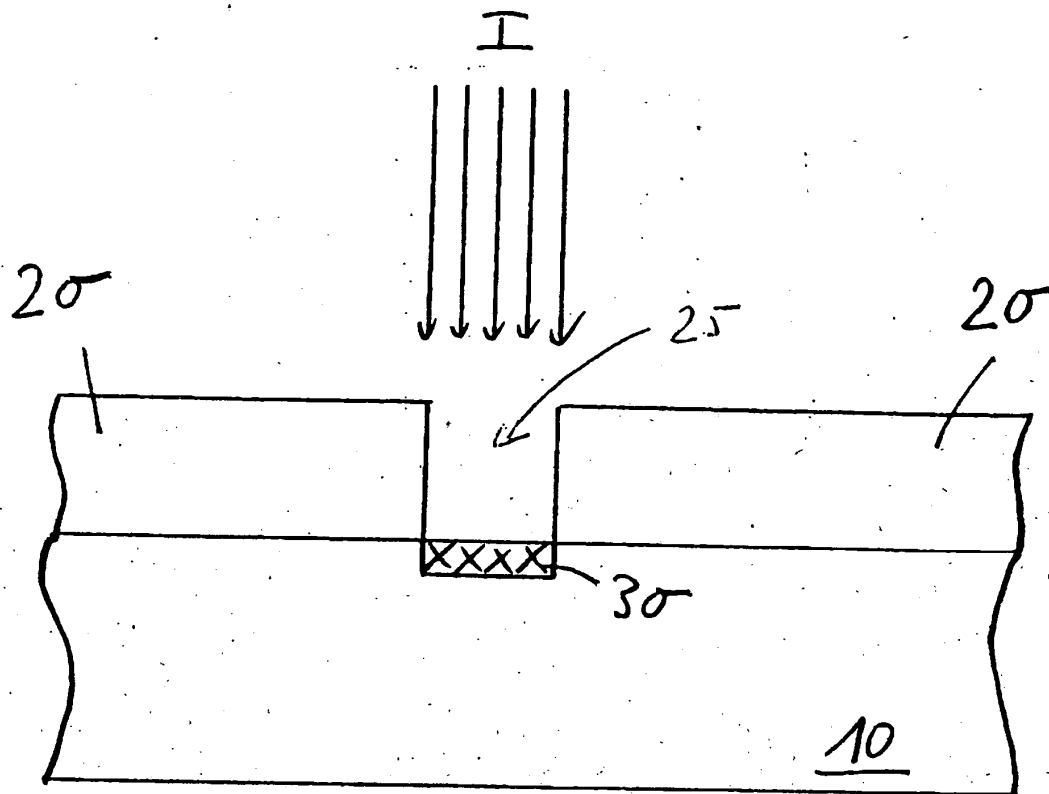


Fig. 1

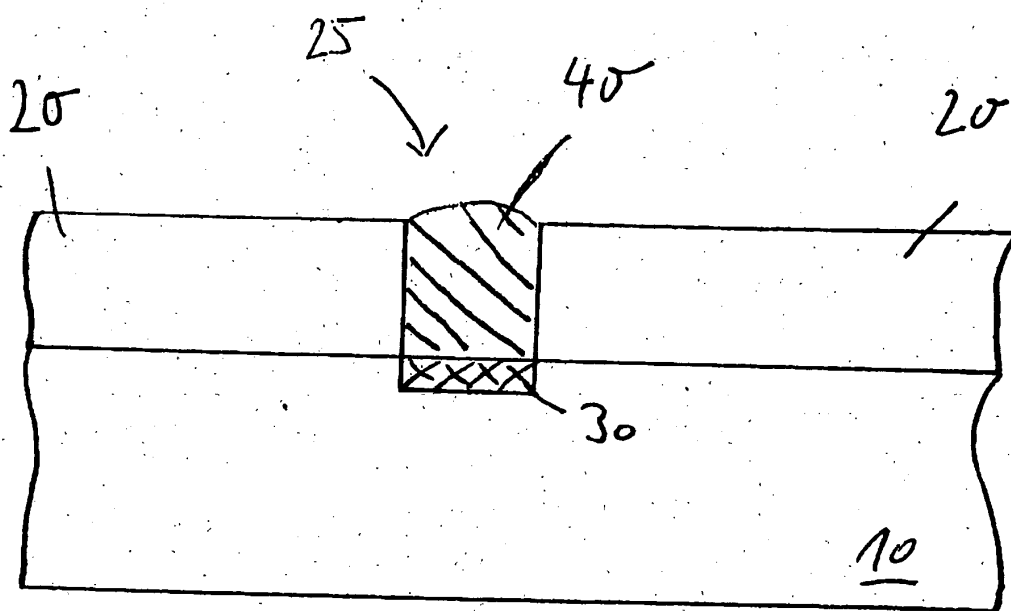


Fig. 2